

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-359334

(43) 公開日 平成4年(1992)12月11日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/02	5 9 0	8841-5B		
9/34	3 8 0	9189-5B		

審査請求 未請求 請求項の数4(全 10 頁)

(21) 出願番号 特願平3-134132

(22) 出願日 平成3年(1991)6月5日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 梶井 規雄

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社北伊丹製作所内

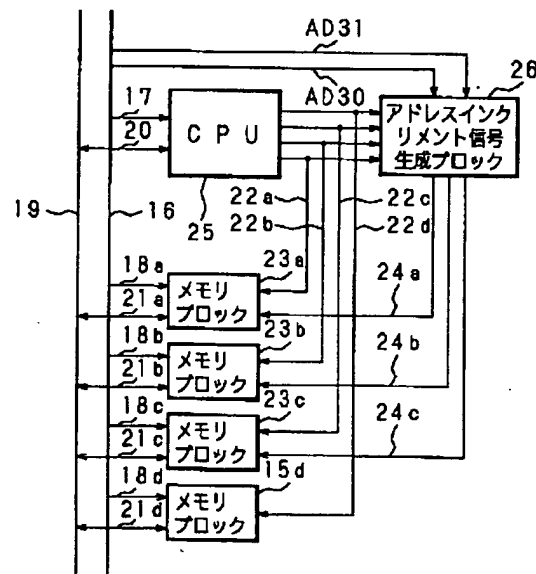
(74) 代理人 弁理士 高田 守 (外1名)

(54) 【発明の名称】 マイクロコンピュータ

(57) 【要約】

【目的】 メモリ上のワード境界を跨ぎ、ミスアラインしたデータを1度のバスサイクルでアクセスできるようにする。

【構成】 CPU 25はデータの先頭アドレス「Y」を出力する。アドレスインクリメント信号生成ブロック26はアドレスの下位ビットAD30及びAD31とバイトコントロール信号22a, 22b, 22c, 22d とにより、メモリブロック23a, 23b, 23c に対するアドレスインクリメント信号24a, 24b, 24c を生成する。メモリブロック23a では通常データの先頭アドレスの上位30ビットの値「Y/4」で指定される1バイト領域をアクセスし、アドレスインクリメント信号24a が入力されると「(Y/4+1)」で指定される1バイト領域をアクセスする。これにより1度のバスサイクルでミスアラインしたデータ格納領域をアクセスできる。



22a, 22b, 22c, 22d: バイトコントロール信号線  
 24a, 24b, 24c: アドレスインクリメント信号線  
 AD30, AD31: アドレス下位ビット

## 【特許請求の範囲】

【請求項1】 メモリの $n$ バイト ( $n$ は自然数) のデータ格納領域ごとに1つのアドレスを割当ててあり、 $2n$ バイトのデータをCPUによりアクセス可能にしているマイクロコンピュータにおいて、前記CPUが発したアドレスをインクリメントする手段と、前記アドレスのデータ格納領域及びインクリメントしたアドレスのデータ格納領域を1度のバスサイクルでアクセスする手段とを備えることを特徴とするマイクロコンピュータ。

【請求項2】 メモリの $n$ バイト ( $n$ は自然数) のデータ格納領域ごとに1つのアドレスを割当ててあり、ワード境界を跨ぐミスアラインした $Kn$ バイト ( $K$ は2以上の整数) 以上のデータを、CPUにより1度のバスサイクルでアクセス可能にしているマイクロコンピュータであって、アクセスすべきデータ格納領域の先頭バイトのアドレス全ビットをアドレスバスへ同時出力する手段と、 $Kn$ バイトより大なるデータバス上の有効バイトを指定する信号を発する手段とを備え、先頭バイトを指定するとともに有効バイト数を指定して、指定した有効バイト数のデータ格納領域を、先頭バイトを先頭にアクセスすべく構成してあることを特徴とするマイクロコンピュータ。

【請求項3】 メモリの $n$ バイト ( $n$ は自然数) のデータ格納領域ごとに1つのアドレスを割当ててあり、ワード境界を跨ぐミスアラインした $Kn$ バイト ( $K$ は2以上の整数) 以上のデータを、CPUにより1度のバスサイクルでアクセス可能にしているマイクロコンピュータであって、アクセスすべきデータ格納領域の先頭バイトのアドレス全ビットを同時出力する手段と、データがミスアラインか否かを表すバイトコントロール信号を発する手段と、該バイトコントロール信号及び前記先頭バイトのアドレス下位ビットに基づいてアドレスインクリメント信号を発生させ、アドレス下位ビットで区分される複数のメモリブロックへ選択的に与える手段と、前記先頭バイトのアドレス上位ビットで指定される複数のデータ格納領域のうち、アドレスインクリメント信号が与えられていないメモリブロックのデータ格納領域及び前記アドレス上位ビットに1を加えたアドレスで指定される複数のデータ格納領域のうち、アドレスインクリメント信号が与えられたメモリブロックのデータ格納領域をアクセスする手段とを備えることを特徴とするマイクロコンピュータ。

【請求項4】 メモリの $n$ バイト ( $n$ は自然数) のデータ格納領域ごとに1つのアドレスを割当ててあり、ワード境界を跨ぐミスアラインした $Kn$ バイト ( $K$ は2以上の整数) のデータを、CPUにより1度のバスサイクルでアクセス可能にしているマイクロコンピュータであって、アクセスすべきデータ格納領域の先頭バイトを指定するためのアドレス全ビットを同時出力する手段と、ミスアラインしたデータ格納領域のアクセスを指令するミ

スアラインデータアクセス信号を発する手段と、該ミスアラインデータアクセス信号及び前記先頭バイトのアドレス下位ビットに基づいてアドレスインクリメント信号を発生させ、アドレス下位ビットで区分される複数のメモリブロックへ選択的に与える手段と、前記先頭バイトのアドレス上位ビットで指定される複数のデータ格納領域のうち、アドレスインクリメント信号が与えられていないメモリブロックのデータ格納領域及び前記アドレス上位ビットに1を加えたアドレスで指定される複数のデータ格納領域のうち、アドレスインクリメント信号が与えられたメモリブロックのデータ格納領域をアクセスする手段とを備えることを特徴とするマイクロコンピュータ。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は $n$ バイト ( $n$ は自然数) のデータ格納領域ごとに一つのアドレスを割当て、 $Kn$ バイト ( $K$ は1以上の整数) のデータを同時にアクセスできるマイクロコンピュータに関するものである。

【0002】

【従来の技術】 図5は従来のメモリの構成を示す模式図である。上位アドレスが入力されるローデコーダ2はワード線4と接続され、ワード線4を介してメモリセルアレイ1と接続される。下位アドレスが入力されるカラムデコーダ3はビット選択線8と接続され、ビット選択線8を介してビット選択部7と接続される。ビット選択部7にはデータ入出力線9が接続される。メモリセルアレイ1内において、ワード線4及びビット線5は交差するように配置され、各交点に対応してメモリセル6、6…が配置される。各メモリセル6、6…は、夫々に対応する位置で交差するワード線4及びビット線5と接続される。

【0003】 次にこのメモリの動作を、便宜上全て正論理で説明する。メモリをアクセスするために、メモリにアドレスが与えられる。アドレスのうち、上位アドレスがローデコーダ2に与えられると、ローデコーダ2は上位アドレスをデコードし、ワード線4のうちの1本を「H」レベルにする。メモリセルは、それに接続されているワード線4が「H」レベルになると、ビット線5を介してアクセスされる。アドレスのうち、下位アドレスはカラムデコーダ3に入力される。

【0004】 カラムデコーダ3は下位アドレスをデコードし、ビット選択線8のうちの1本を「H」レベルにする。ビット選択部7内では、ビット選択線8とビット線5とが1対1に対応しているから、「H」レベルになったビット選択線8の1本に対応するビット線5の1本を選択してデータ入出力線9に接続する。例えば、ワード線4c及びビット線8cがともに「H」レベルになった場合、メモリセル6cがビット線5c及びデータ入出力線9を介してアクセスされる。即ち、1つのアドレスに対して

1つのメモリセルが対応してアクセスされる。

【0005】図6は、従来の32ビットCPUのメモリマップの一部を示す概念図である。夫々が1バイトであるデータ格納領域40, 41...47のアドレスは、その順にY, Y+1, ...Y+7である。そしてデータバスのビットを、最上位ビットMSBから最下位ビットLSBに向かって順次D0, D1...D31とする。データ格納領域40及び44はビットD0~D7に、データ格納領域41及び45はビットD8~D15に、データ格納領域42及び46はビットD16~D23に、データ格納領域43及び47はビットD24~D31に、夫々対応している。

【0006】次に従来の32ビットCPUによるメモリのアクセス動作を図6により説明する。CPUは1バイトのデータに1つの32ビットアドレスを割当て、データを一度に最大4バイトまで入出力できるとする。CPUはメモリアクセスする場合、32ビットアドレスの上位30ビットにより4バイト単位のデータ位置を指定するとともに、バイトコントロール信号により、前記4バイトデータ中の各1バイトデータに対するアクセスの有無を指定する。

【0007】以下、「Y」を4の倍数とする。例えば32ビットアドレス「Y+2」のデータ格納領域42及び「Y+3」のデータ格納領域43の2バイトデータをアクセスする場合、32ビットアドレス「Y+2」の下位2ビットを切捨てた上位30ビットにより32ビットアドレス「Y」~「Y+3」のデータ格納領域40, 41, 42, 43の4バイトデータが指定され、バイトコントロール信号によりデータバス上の下位2バイトが指定され、データ格納領域42及び43の2バイトのデータがアクセスされることになる。

【0008】ところで、32ビットアドレス「Y」~「Y+3」及び「Y+4」~「Y+7」の下位2ビットを切捨てた上位30ビットにより指定される連続した二つの4バイトデータのデータ格納領域に跨って4バイト以下のデータを格納する場合がある。このような二つの4バイトデータのデータ格納領域の境界をワード境界と称し、前述したように格納されたデータをワード境界を跨ぐミスマラインしたデータと言う。

【0009】例えばデータ格納領域42, 43, 44, 45に格納されたワード境界を跨ぐミスマラインした4バイトデータをアクセスする場合、1度目のバスサイクルで先頭バイト42の32ビットアドレス「Y+2」の上位30ビット及びデータバス上の下位2バイトを指定するバイトコントロール信号によりデータ格納領域42及び43の4バイトデータの上位2バイトをアクセスし、2度目のバスサイクルでデータ格納領域44の32ビットアドレス「Y+4」の上位30ビット及びデータバス上の上位2バイトを指定するバイトコントロール信号によりデータ格納領域44及び45の4バイトデータの上位2バイトをアクセスする。

【0010】図7は従来の32ビットマイクロコンピュータの構成の一部を示す模式図である。32ビットCPU14は30ビットアドレスバス17aを介して32ビットアドレスバス16と接続されており、また32ビットデータバス20を介して32ビットデータバス19と接続されている。CPU14はバイトコントロール信号線22a, 22b, 22c, 22dを各別に介してメモリブロック15a, 15b, 15c, 15dと接続されている。

【0011】32ビットのアドレスバス16は、30ビットアドレスバス18a, 18b, 18c, 18dを各別に介してメモリブロック15a, 15b, 15c, 15dと接続されている。32ビットデータバス19は8ビットデータバス21a, 21b, 21c, 21dを各別に介してメモリブロック15a, 15b, 15c, 15dと接続されている。

【0012】次にこの32ビットマイクロコンピュータの動作を図5, 図6, 図7により説明する。各メモリブロック15a, 15b, 15c, 15dは図5に示すメモリで構成されており、夫々に接続されているバイトコントロール信号線22a, 22b, 22c, 22dを介してメモリブロック15a, 15b, 15c, 15dにバイトコントロール信号を与えると、夫々が接続されているアドレスバス18a, 18b, 18c, 18dを介してアドレスを受取り、受取ったアドレスに対応する1バイトのデータ格納領域がアクセス可能になる。

【0013】以下、図6に示すメモリマップ上のアドレスを単にアドレスとし、メモリブロック15a, 15b, 15c, 15dが各ブロック内部で使用するアドレスをブロック内アドレスとして説明する。CPU14が下位2ビットを切捨てたアドレス「Y」により、指定する4バイトデータ格納領域40, 41, 42, 43のうち、メモリブロック15aはデータ格納領域40を、メモリブロック15bはデータ格納領域41を、メモリブロック15cはデータ格納領域42を、メモリブロック15dはデータ格納領域43を、夫々のブロック内アドレス「Y/4」に格納する。

【0014】CPU14がアドレス「Y+2」及び「Y+3」のデータ格納領域42及び43のメモリアクセスする場合、32ビットアドレス「Y+2」の上位30ビット「Y/4」をアドレスバス17aを介してアドレスバス16の上位30ビットに与えるとともに、バイトコントロール信号22c及び22dを出力する。それによりバイトコントロール信号22cはメモリブロック15cに与えられ、バイトコントロール信号22dはメモリブロック15dに与えられる。

【0015】メモリブロック15cは、アドレスバス18cを介してアドレスバス16の上位30ビット「Y/4」を取込み、ブロック内アドレス「Y/4」の1バイトデータ格納領域42に対するCPU14のアクセスをデータバス21c, データバス19及び20上のビットD16~D23を介して可能にする。また、メモリブロック15dはアドレスバス18dを介してアドレスバス16の上位30ビット「Y/4」を取込み、ブロック内アドレス「Y/4」の1バイトデータ

5

格納領域43に対するCPU 14のアクセスを、データバス21d、データバス19及び32ビットデータバス20上のビットD24～D31を介して可能にする。

【0016】メモリブロック15cのブロック内アドレス「Y/4」に対応する1バイトデータ格納領域はCPU 14のアドレス「Y+2」の1バイトデータ格納領域42であり、メモリブロック15dのブロック内のアドレス「Y/4」に対応する1バイトデータ格納領域は、CPU 14のアドレス「Y+3」の1バイトデータ格納領域43であるから、結局CPU 14がアドレス「Y+2」及び「Y+3」のデータ格納領域42及び43のメモリアクセスを行ったことになる。

【0017】CPU 14がアドレス「Y+2」～「Y+5」のデータ格納領域42, 43, 44, 45のワード境界を跨ぐミスアラインした4バイトのデータ格納領域をアクセスする場合、一度目のバスサイクルで32ビットアドレス「Y+2」の上位30ビット「Y/4」をアドレスバス17aを介してアドレスバス16の上位30ビットに与えるとともに、バイトコントロール信号22c及び22dを出力して、メモリブロック15cのブロック内アドレス「Y/4」の1バイトデータ格納領域42とメモリブロック15dのブロック内アドレス「Y/4」の1バイトデータ格納領域43をアクセスする。

【0018】更に、CPU 14は二度目のバスサイクルを起動し、32ビットアドレス「Y+4」の上位30ビット「(Y/4)+1」をアドレスバス17aを介してアドレスバス16の上位30ビットに与えるとともに、バイトコントロール信号22a及び22bを出力して、メモリブロック15aのブロック内アドレス「(Y/4)+1」の1バイトデータ格納領域44とメモリブロック15bのブロック内アドレス「(Y/4)+1」の1バイトデータ格納領域45をアクセスする。

【0019】

【発明が解決しようとする課題】前述したように従来のマイクロコンピュータでは、CPUがメモリ上のワード境界を跨ぐミスアラインしたデータ格納領域をアクセスする場合に、バスサイクルを二度起動しなければならず、プログラムの実行速度が遅いという問題がある。本発明は斯かる問題に鑑み、CPUがワード境界を跨ぐミスアラインしたデータ格納領域をアクセスする場合に、一度のバスサイクルでアクセスできるマイクロコンピュータを提供することを目的とする。

【0020】

【課題を解決するための手段】第1発明のマイクロコンピュータは、CPUが発したアドレスをインクリメントする手段と、前記アドレスのデータ格納領域及びインクリメントしたアドレスのデータ格納領域を1度のバスサイクルでアクセスする手段とを備える。第2発明のマイクロコンピュータは、アクセスすべきデータ格納領域の先頭バイトのアドレス全ビットを同時出力する手段と、デ

6

ータバス上の有効バイトを指定する信号を発する手段とを備える。

【0021】第3発明のマイクロコンピュータは、アクセスすべきデータ格納領域の先頭バイトのアドレス全ビットを同時出力する手段と、データがミスアラインか否かを表すバイトコントロール信号を出力する手段と、バイトコントロール信号及び先頭バイトのアドレス下位ビットに基づいてアドレスインクリメント信号を発生させ、アドレス下位ビットで区分される複数のメモリブロックへ選択的に与える手段と、前記先頭バイトのアドレス上位ビットで指定される複数のデータ格納領域のうち、アドレスインクリメント信号が与えられていないメモリブロックのデータ格納領域及び前記アドレス上位ビットに1を加えたアドレスで指定される複数のデータ格納領域のうち、アドレスインクリメント信号が与えられたメモリブロックのデータ格納領域をアクセスする手段とを備える。

【0022】第4発明のマイクロコンピュータは、アクセスすべきデータ格納領域の先頭バイトを指定するためアドレス全ビットを同時出力する手段と、ミスアラインしたデータ格納領域のアクセスを指令するミスアラインデータアクセス信号を発する手段と、該ミスアラインデータアクセス信号及び前記先頭バイトのアドレス下位ビットに基づいてアドレスインクリメント信号を発生させ、アドレス下位ビットで区分される複数のメモリブロックへ選択的に与える手段と、前記先頭バイトのアドレス上位ビットで指定される複数のデータ格納領域のうち、アドレスインクリメント信号が与えられていないメモリブロックのデータ格納領域及び前記アドレス上位ビットに1を加えたアドレスで指定される複数のデータ格納領域のうち、アドレスインクリメント信号が与えられたメモリブロックのデータ格納領域をアクセスする手段とを備える。

【0023】

【作用】第1発明のマイクロコンピュータは、CPUが発したアドレスのデータ格納領域及びそのアドレスをインクリメントしたアドレスのデータ格納領域を1度のバスサイクルでアクセスする。第2発明のマイクロコンピュータは、アクセスすべきデータ格納領域の先頭バイトのアドレスをアドレスバスへ同時出力して先頭バイトを指定する。データバス上の有効バイトを指定すると、先頭バイトを先頭に、指定した有効バイトのデータ格納領域を1度のバスサイクルでアクセスする。

【0024】第3発明のマイクロコンピュータは、データがミスアラインか否かを表すバイトコントロール信号及びアクセスすべきデータ格納領域の先頭バイトのアドレス下位ビットに基づいてアドレスインクリメント信号を発生する。アドレスインクリメント信号をアドレス下位ビットで区分される複数のメモリブロックへ選択的に与える。アドレス上位ビットで複数のデータ格納領域を

指定すると、指定された複数のデータ格納領域のうち、アドレスインクリメント信号が与えられていないメモリブロックのデータ格納領域及びアドレス上位ビットに1を加えたアドレスで指定される複数のデータ格納領域のうち、アドレスインクリメント信号が与えられているメモリブロックのデータ格納領域を、1度のバスサイクルでアクセスする。

【0025】第4発明に係るマイクロコンピュータは、データがミスアラインしているとCPUはミスアラインデータアクセス信号を出力する。このミスアラインデータアクセス信号及びアクセスすべきデータ格納領域の先頭10 バイトのアドレス下位ビットに基づいてアドレスインクリメント信号を発生する。アドレスインクリメント信号をアドレス下位ビットで区分される複数のメモリブロックへ選択的に与える。アドレス上位ビットで複数のデータ格納領域を指定すると、指定された複数のデータ格納領域のうち、アドレスインクリメント信号が与えられていないメモリブロックのデータ格納領域及びアドレス上位ビットに1を加えたアドレスで指定される複数のデータ格納領域のうち、アドレスインクリメント信号が与えら10 れているメモリブロックのデータ格納領域を1度のバスサイクルでアクセスする。これにより、いずれのマイクロコンピュータも1度のバスサイクルでワード境界を跨ぐミスアラインしたデータをアクセスできる。

【0026】

【実施例】以下本発明をその実施例を示す図面により詳述する。図1は本発明に係るマイクロコンピュータのメモリの構成を示す模式図である。上位アドレスが入力されるローデコーダ2はワード線4と接続され、ワード線4を介してシフト10aのデータ入力側と接続されるシフト10aのデータ出力側はワード線4を介してメモリセルアレイ1と接続される。

【0027】下位アドレスが入力されるカラムデコーダ3はビット選択線8と接続され、ビット選択線8を介してシフト10bのデータ入力側と接続される。シフト10bはビット選択線8と接続され、ビット選択線8を介してビット選択部7と接続される。ビット選択部7はビット線5を介してメモリセルアレイ1と接続される。ビット選択部7にはデータ入出力線9が接続されている。

【0028】アドレスインクリメント信号線12はシフト40 10bのシフト信号端子11b及びAND回路13の一方の入力端子と接続されている。AND回路13の他方の入力端子は、シフト10bをビット選択部7と接続するビット選択線8のうちのカラムアドレスの最小値に対応したビット選択線8aと接続されており、AND回路13の出力端子はシフト10aのシフト信号端子11aと接続されている。

【0029】メモリセルアレイ1内において、ワード線4及びビット線5を交差させて配置され、各交点に対応してメモリセル6、6…が配置されている。各メモリセル6、6…は、夫々に対応する交差位置でワード線4及50

びビット線5と接続される。

【0030】次にこのメモリセルアレイ1の動作を説明する。シフト10a, 10bはシフト信号端子11a, 11bが「L」レベルの場合には、シフト10a, 10bの入力側のワード線4、ビット選択線8を、それと対応した出力側のワード線4、ビット選択線8と接続する。一方、シフト信号端子11a, 11bが「H」レベルの場合には、シフト10a, 10bの入力側のワード線4、ビット選択線8を、対応する上位アドレス、下位アドレスが増加する方向へ1本分シフトさせて、出力側のワード線4、ビット選択線8と接続する。

【0031】そして上位アドレスの最大値に対応するワード線4b及び下位アドレスの最大値に対応するビット選択線8bについては、夫々、上位アドレスの最小値に対応するワード線4a又は下位アドレスの最小値に対応するビット選択線8aにシフトされる。したがって、アドレスインクリメント信号線12が「L」レベルの場合は図5に示した従来のメモリセルアレイをアクセスする場合と同様となる。

【0032】しかし乍ら、アドレスインクリメント信号線12が「H」レベルの場合は、シフト10bのシフト信号端子11bが「H」レベルになるため、シフト10bは前述したシフト動作をする。アドレスインクリメント信号線12が「H」レベルで、シフト10bのシフト動作により下位アドレスの最小値に対応するビット選択線8aが「L」レベルとなった場合、シフト10aのシフト信号端子11aは「L」レベルとなるためシフト10aはシフト動作しない。

【0033】アドレスインクリメント信号線12が「H」レベルで、シフト10bのシフト動作により、下位アドレスの最小値に対応するビット選択線8aが「H」レベルとなった場合、シフト10aのシフト信号端子11aは「H」レベルになるため、シフト10aはシフト動作する。したがって、アドレスインクリメント信号線12が「H」レベルの場合、入力されたアドレス「X」に対して、アドレス「X+1」に対応するメモリセル6がアクセスされることになる。

【0034】次に図1に示したメモリセルアレイ1をアクセスする、例えば32ビットCPUのメモリアクセス動作について説明する。この32ビットCPUのメモリマップは図6に示したものと同様であり、図6とともに説明する。下位2ビットを切捨てたアドレス「Y」により指定されるデータ格納領域40, 41, 42, 43内に配置されるワード境界を跨がないデータ格納領域のアクセス動作は従来のマイクロコンピュータと全く同様である。

【0035】しかし乍ら、ワード境界を跨ぐミスアラインしたデータ格納領域のメモリアクセスを行う場合、アドレスの全32ビットによりデータ格納領域の先頭バイトを指定し、バイトコントロール信号によりデータバス上の有効なバイトを指定すると、メモリアクセスは一度

のバスサイクルで完了する。

【0036】例えば、データ格納領域42, 43, 44, 45 のワード境界を跨ぐミスアラインした4バイトのデータ格納領域をアクセスする場合、32ビットアドレス「Y+2」により前記データ格納領域の先頭バイト42を指定するとともに、バイトコントロール信号によりデータバス上の全4バイトが有効であることを指定して、一度のバスサイクルでデータ格納領域42, 43, 44, 45 のアクセスを完了する。

【0037】図2は、図1に示すメモリと32ビットCPUとを用いた本発明の実施例を示すマイクロコンピュータの要部ブロック図である。32ビットCPU 25は32ビットアドレスバス17を介して32ビットアドレスバス16と接続されており、また32ビットデータバス20を介して32ビットデータバス19と接続されている。

【0038】CPU 25はバイトコントロール信号線22a, 22b, 22c, 22d を各別に介してアドレスインクリメント信号生成ブロック26と接続され、またバイトコントロール信号線22a, 22b, 22c, 22d を各別に介してm×1バイト語構成(mは自然数)のメモリブロック23a, 23b, 23c, 15d と接続されている。32ビットアドレスバス16は30ビットアドレスバス18a, 18b, 18c, 18d を各別に介してメモリブロック23a, 23b, 23c, 15dと接続されている。

【0039】メモリブロック23a はデータバス21a によりデータバス19上のビットD0~D7に、メモリブロック23b はデータバス21b によりデータバス19上のビットD8~D15に、メモリブロック23c はデータバス21c によりデータバス19上のビットD16 ~D23 に、メモリブロック15d はデータバス21d によりデータバス19上のビットD24 ~D31 に夫々接続されている。アドレスバス16及び17を最上位ビットから最下位ビットに向かってアドレスビットAD0, AD1, …AD31とすると、アドレス下位ビットAD30及びAD31はアドレスインクリメント信号生成ブロック26へ与えられる。

【0040】アドレスインクリメント信号生成ブロック26はアドレスインクリメント信号線24a, 24b, 24c を各別に介してメモリブロック23a, 23b, 23c と接続されている。メモリブロック23a, 23b, 23c に与えられたアドレスインクリメント信号は、夫々のメモリブロック23a, 23b, 23c を構成するメモリのアドレスをインクリメントする信号として与えられる。図3は図2に示したアドレスインクリメント信号生成ブロック26の機能を示す真理値表であり、図中「×」は不定値を表している。

【0041】次にこのように構成した32ビットCPU を用いたマイクロコンピュータの動作をメモリマップの概念図を示す図6とともに説明する。ワード境界を跨がないデータ格納領域をアクセスする場合は、CPU 25が発するバイトコントロール信号22a, 22b, 22c, 22d とアドレス下位ビットAD30及びAD31との組合せから、アドレスインクリメント信号生成ブロック26は図3に示す真理値表に基

づいてアドレスインクリメント信号24a, 24b, 24c を出力しないため、メモリブロック23a, 23b, 23c を構成する全メモリのアドレスインクリメント信号12(図1参照)が「L」レベルになる。それにより図7に示した従来のマイクロコンピュータと全く同様のメモリアクセス動作をする。

【0042】しかし乍ら、CPU 25がデータ格納領域42, 43, 44, 45 のワード境界を跨ぐミスアラインした4バイトデータをアクセスする場合、32ビットアドレス「Y+2」をアドレスバス17を介してアドレスバス16に与えるとともに、バイトコントロール信号22a, 22b, 22c, 22d を出力する。このようにメモリブロック23a, 23b, 23c, 15d にバイトコントロール信号22a, 22b, 22c, 22d が与えられたため、アドレスバス18a, 18b, 18c, 18d を介して32ビットアドレス「Y+2」の上位30ビット「Y/4」を取込み、夫々のメモリブロック内アドレスとする。

【0043】またCPU 25からバイトコントロール信号22a, 22b, 22c, 22d が出力されたためバイトコントロール信号22a, 22b, 22c, 22d は全て「1」となり、32ビットアドレスは「Y+2」であるために、アドレス下位ビットAD30が「1」、AD31が「0」となる。したがって、アドレスインクリメント信号生成ブロック26は図3の真理値表に示したように、アドレスインクリメント信号24a及び24b を出力し、アドレスインクリメント信号24c を出力しない。

【0044】アドレスインクリメント信号24a がアドレスインクリメント信号生成ブロック26から出力されたため、メモリブロック23aを構成する各メモリのアドレスインクリメント信号12が「H」レベルになり、取込んだメモリブロック内アドレス「Y/4」に対してメモリブロック内アドレス「(Y/4)+1」に対応するメモリセルがアクセス可能になる。

【0045】それにより、メモリブロック23a はアドレス「Y+4」の1バイトデータ格納領域44のアクセスが可能になる。またアドレスインクリメント信号24b がアドレスインクリメント信号生成ブロック26から出力されたため、メモリブロック23bもメモリブロック23a と同様の動作をし、取込んだメモリブロック内アドレス「Y/4」に対してメモリブロック内アドレス「(Y/4)+1」に対応する1バイトデータ格納領域45のアクセスが可能になる。

【0046】したがってメモリブロック23b はメモリブロック内アドレス「Y+5」の1バイトデータ格納領域45のアクセスが可能となる。アドレスインクリメント信号24c を、アドレスインクリメント信号生成ブロック26が出力しないため、メモリブロック23c を構成するメモリのアドレスインクリメント信号12は「L」レベルとなり、取込んだメモリブロック内アドレス「Y/4」に対応するメモリセルのアクセスが可能になる。

【0047】それにより、メモリブロック23c はメモリ

ブロック内アドレス「Y+2」の1バイトデータ格納領域42のアクセスが可能となる。メモリブロック15dは従来のメモリで構成されているため、取込んだメモリブロック内アドレス「Y/4」に対応する1バイトデータ格納領域43のアクセスが可能となる。したがって、メモリブロック15dはメモリブロック内アドレス「Y+3」の1バイトデータ格納領域43のアクセスを可能にする。

【0048】結局、CPU 25は1度のバスサイクルでデータ格納領域42, 43, 44, 45のワード境界を跨ぐミスアラインした4バイトのデータ格納領域をアクセスしたことになる。

【0049】図4は本発明に係るマイクロコンピュータの他の実施例を示す要部ブロック図である。図2に示したマイクロコンピュータでは、アドレス下位ビットAD30及びAD31とバイトコントロール信号22a, 22b, 22c, 22dとに基づいてアドレスインクリメント信号24a, 24b, 24cを出力させているが、CPUからミスアラインデータアクセス信号を発するようにして、ワード境界を跨ぐミスアラインしたデータ格納領域をアクセスする場合は、ミスアラインデータアクセス信号を発して、発したミスアラインデータアクセス信号とアドレス下位ビットとを用いて簡単な論理回路でアドレスインクリメント信号を出力させるように構成している。

【0050】CPU 27はミスアラインデータアクセス信号28を発するようになっており、このミスアラインデータアクセス信号28はメモリブロック23aにアドレスインクリメント信号24aとして与えられ、またAND回路29の1入力端子及び3入力AND回路30の第1入力端子へ与えられている。AND回路29の他入力端子及び3入力AND回路30の第2入力端子にはアドレス下位ビットAD30が与えられている。

【0051】3入力AND回路30の第3入力端子にはアドレス下位ビットAD31が与えられている。AND回路29の出力はアドレスインクリメント信号24bとしてメモリブロック23bへ与えられ、3入力AND回路30の出力は、アドレスインクリメント信号24cとしてメモリブロック23cへ与えられている。32ビットCPU 27は32ビットアドレスバス17を介して32ビットアドレスバス16と接続されており、また32ビットデータバス20を介して32ビットデータバス19と接続されている。

【0052】アドレスバス16は30ビットアドレスバス18a, 18b, 18c, 18dを各別に介してメモリブロック23a, 23b, 23c, 15dと接続されている。メモリブロック23aはデータバス21aによりデータバス19上のビットD0~D7に、メモリブロック23bはデータバス21bによりデータバス19上のビットD8~D15に、メモリブロック23cはデータバス21cによりデータバス19上のビットD16~D23に、メモリブロック15dはデータバス21dによりデータバス19上のビットD24~D31に夫々接続されている。

【0053】次にこのように構成したマイクロコンピ

ュータのメモリアクセス動作を図1とともに説明する。ワード境界を跨がないデータ格納領域をアクセスする場合は、CPU 27はミスアラインデータアクセス信号28を出力せず、ミスアラインデータアクセス信号28は「L」レベルであり、アドレスインクリメント信号24a, 24b, 24cはメモリブロック23a, 23b, 23cに与えられない。そのため、メモリブロック23a, 23b, 23cを構成する全メモリのアドレスインクリメント信号12(図1参照)が「L」レベルになる。したがって、図7に示す従来のマイクロコンピュータと同様のメモリアクセス動作をする。

【0054】しかし乍ら、CPU 27がワード境界を跨ぐミスアラインしたデータ格納領域をアクセスする場合は、ミスアラインデータアクセス信号28が出力され、ミスアラインデータアクセス信号28が「H」レベルになる。したがって、アドレスインクリメント信号24aは、アドレス下位ビットAD30及びAD31に関係なく「H」レベルになる。

【0055】そして、アドレス下位ビットAD30が「0」であってアドレス下位ビットAD31が「1」である場合、アドレスインクリメント信号24b及び24cがともに「0」になる。また、アドレス下位ビットAD30が「1」でアドレス下位ビットAD31が「0」である場合、アドレスインクリメント信号24bは「1」となり、アドレスインクリメント信号24cは「0」になる。

【0056】更にアドレス下位ビットAD30が「1」であり、アドレス下位ビットAD31が「1」である場合、アドレスインクリメント信号24b及び24cはともに「1」になる。即ち、図3に示す真理値表により示されるアドレスインクリメント信号24a, 24b, 24cの生成と全く同様に、アドレスインクリメント信号24a, 24b, 24cが出力される。

【0057】そして図2に示したマイクロコンピュータのメモリアクセス動作と同様に、1度のバスサイクルでワード境界を跨ぐミスアラインしたデータ格納領域をアクセスできる。

【0058】なお、本実施例では、1バイトデータ格納領域ごとに、1つのアドレスバスを割当て、4バイト幅のデータバスを介して同時に4バイトデータをアクセスできるCPUについて説明したが、一度にアクセスできるバイト数は2バイト以上であればよく実施例のバイト数に何ら限定されるものではない。

【0059】また、動作を正論理で説明したが、負論理でもよいのは言うまでもない。また本実施例では1つのデータ格納領域に1つのアドレスを割当てたが、2つのデータ格納領域に1つのアドレスを割当ててもよい。

【0060】

【発明の効果】以上詳述したように、本発明によれば、ワード境界を跨ぐミスアラインしたデータ格納領域を、一度のバスサイクルでアクセスできるから、データがミスアラインしている場合に、メモリのアクセス回数が増

加せず、プログラムの実行速度が速いマイクロコンピュータを提供できる優れた効果を奏する。

【図面の簡単な説明】

【図1】第1発明及び第2発明に係るマイクロコンピュータのメモリの要部構成を示すブロック図である。

【図2】第3発明に係るマイクロコンピュータの要部構成を示すブロック図である。

【図3】アドレスインクリメント信号生成ブロックの機能を示す真理値表である。

【図4】第4発明に係るマイクロコンピュータの要部構成を示すブロック図である。

【図5】従来のマイクロコンピュータのメモリの要部構成を示すブロック図である。

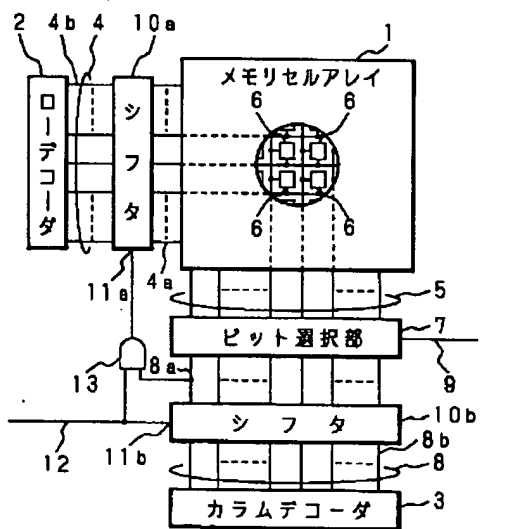
【図6】CPUのメモリマップの概念図である。

【図7】従来のマイクロコンピュータの要部構成を示すブロック図である。

【符号の説明】

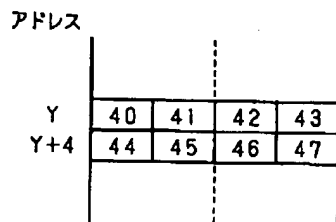
- 1 メモリセルアレイ
- 2 ローデコーダ
- 3 カラムデコーダ
- 4 ワード線
- 5 ビット線
- 6 メモリセル
- 10a, 10b シフタ
- 13 AND 回路
- 15d メモリブロック
- 23a, 23b, 23c メモリブロック
- 25 CPU
- 26 アドレスインクリメント信号生成ブロック
- 27 CPU
- 29, 30 AND 回路
- 40~47 データ格納領域

【図1】



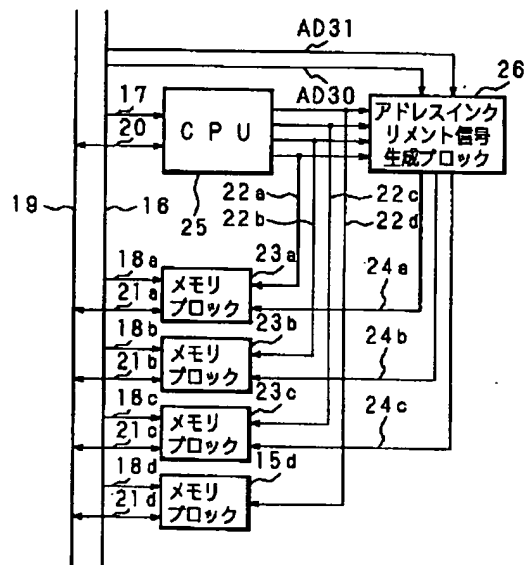
6: メモリセル  
12: アドレスインクリメント信号線

【図6】



40~47: データ格納領域

【図2】



22a, 22b, 22c, 22d: バイトコントロール信号線  
24a, 24b, 24c: アドレスインクリメント信号線  
AD30, AD31: アドレス下位ビット

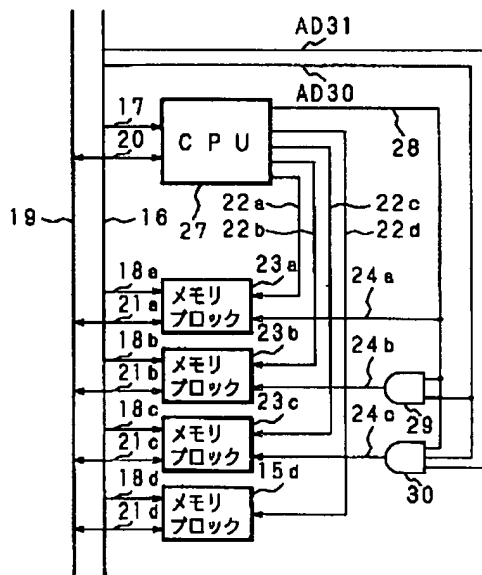


【図3】

バイトコントロール信号				アドレス		アドレス インクリメント信号		
22a	22b	22c	22d	AD30	AD31	24a	24b	24c
1	0	0	0	0	0	0	x	x
0	1	0	0	0	1	x	0	x
0	0	1	0	1	0	x	x	0
0	0	0	1	1	1	x	x	x
1	1	0	0	0	0	0	0	x
0	1	1	0	0	1	x	0	0
0	0	1	1	1	0	x	x	0
1	0	0	1	1	1	1	x	x
1	1	1	1	0	0	0	0	0
1	1	1	1	0	1	1	0	0
1	1	1	1	1	0	1	1	0
1	1	1	1	1	1	1	1	1

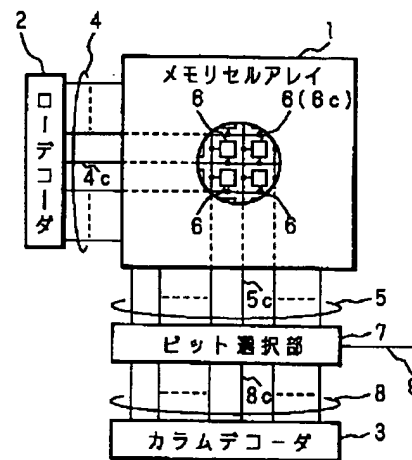
ワード境界を跨ぐ  
ミスマラインした  
データ格納領域のアクセス

【図4】

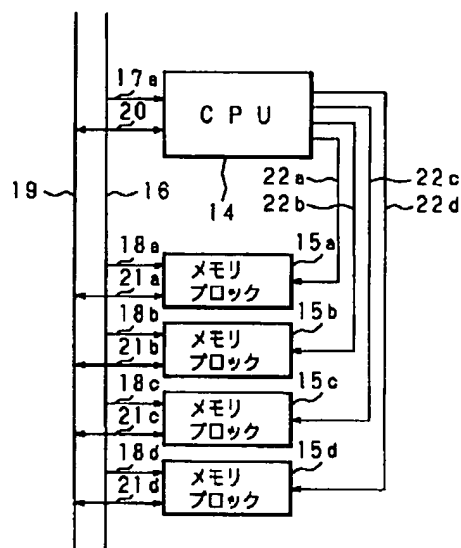


24a, 24b, 24c: アドレスインクリメント信号線  
28: ミスマラインデータアクセス信号線  
AD30, AD31: アドレス下位ビット

【図5】



【図7】



## 【手続補正書】

【提出日】平成4年6月5日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】

【実施例】以下本発明をその実施例を示す図面により詳述する。図1は本発明に係るマイクロコンピュータのメモリの構成を示す模式図である。上位アドレスが入力されるローデコーダ2はワード線4と接続され、ワード線4を介してシフタ10aのデータ入力側と接続される。シフタ10aのデータ出力側はワード線4を介してメモリセルアレイ1と接続される。